

DISPLAY DEVICE

Patent Number: JP6067152
Publication date: 1994-03-11
Inventor(s): YAMAGUCHI AKIRA; others: 02
Applicant(s): SHARP CORP
Requested Patent: JP6067152
Application Number: JP19920221776 19920820
Priority Number(s):
IPC Classification: G02F1/133; G02F1/136; G09G3/36
EC Classification:
Equivalents: JP2792791B2

Abstract

PURPOSE: To maintain a clear display for a long time and to prevent deterioration in responsiveness in a liquid crystal by holding pixel data supplied to each pixel with a holding capacity and compensating that charge stored in a pixel capacity is loosened by a leakage current with a buffer amplifier.

CONSTITUTION: Each pixel is provided with the holding capacity CH as a capacitance element and a pixel capacity CP as a display element. A data signal is inputted to one side electrode of the holding capacity CH through a switch element 1, and further, the other electrode is connected to the input of the buffer amplifier circuit 2. The switch element 1 is a circuit element whose ON/OFF is controlled by a scanning signal. Further, the output of the buffer amplifier circuit 2 is connected to one side electrode of the pixel capacity CP, and further, one side electrode is connected to a grounded electrode 4 through the switch element 3 and connected to a restoration source part 6 through the switch element 5. The switches 3, 5 whose ON/OFF are controlled by a responsiveness restoration signal, and a positive and a negative voltages are applied to the pixel capacity CP repeatedly by the responsiveness restoration signal.

Data supplied from the esp@cenet database - I2

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	9226-2K		
	1/136	5 0 0	9018-2K	
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数2(全8頁)

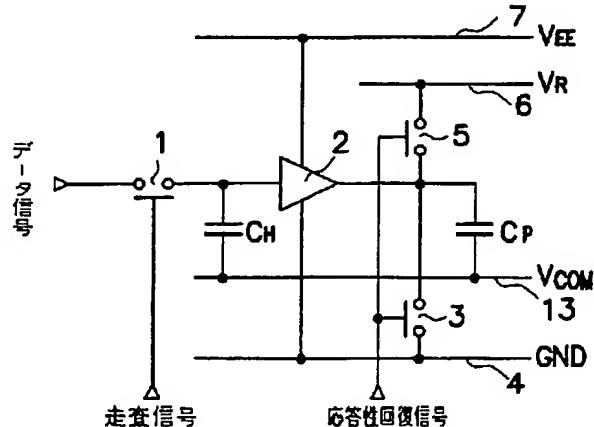
(21)出願番号	特願平4-221776	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成4年(1992)8月20日	(72)発明者	山口 明 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72)発明者	石井 裕 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72)発明者	山元 良高 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	弁理士 山本 秀策

(54)【発明の名称】 表示装置

(57)【要約】

【構成】 各絵素ごとに、絵素データを保持するための保持用容量CHと、この保持用容量CHの電圧に応じて絵素容量CPに電荷を供給するバッファアンプ回路2が設けられると共に、応答性回復信号によってON/OFFを制御されるスイッチ素子3、5を介して絵素容量CPが回復電源線6と接地電源線4に接続された。

【効果】 保持用容量CHとバッファアンプ回路2を用いて絵素容量CPのリーク電流を補い明瞭な表示を長時間維持すると共に、液晶の応答性の劣化を防止するする実用的な回路を提供することができるようになる。



【特許請求の範囲】

【請求項1】 複数の絵素を備え、各絵素に供給された絵素データに応じて絵素容量に電荷が蓄積されることにより表示が行われる液晶表示装置において、各絵素が、該絵素データを保持するための保持用容量と、該保持用容量の電圧に応じて該絵素容量に電荷を供給するバッファアンプ回路と、応答性回復信号によって繰り返し正負の電圧を該絵素容量に印加する応答性回復回路とを備えた表示装置。

【請求項2】 複数の絵素を備え、各絵素に供給された絵素データに応じて絵素容量に電荷が蓄積されることにより表示が行われる液晶表示装置において、各絵素が、該絵素データを保持するための第1保持用容量と、表示切換信号によってON/OFFを制御される表示切換回路を介して該第1保持用容量からの電荷の供給を受ける第2保持用容量と、該第2保持用容量の電圧に応じて該絵素容量に電荷を供給するバッファアンプ回路と、応答性回復信号によって繰り返し正負の電圧を該絵素容量に印加する応答性回復回路とを備えた表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブ駆動方式の表示装置に関する。

【0002】

【従来の技術】 アクティブマトリクス駆動方式の液晶表示装置は、多数の走査信号線とデータ信号線とを備え、各交差部に絵素が設けられている。各絵素は、図8に示すように、スイッチ素子21と絵素容量CPとによって構成されている。スイッチ素子21は、ここではTFT(薄膜トランジスタ)によって構成され、このTFTのドレイン-ソース端子間を介してデータ信号線22と絵素容量CPの一方の電極とを接続するようになっている。また、このスイッチ素子21のTFTにおけるゲート端子は、走査信号線23に接続されている。絵素容量CPは、一方の電極と他方の電極との間に液晶を配置した構成であり、他方の電極はコモン電源線24に接続されている。従って、走査信号線23をアクティブにするとスイッチ素子21がONとなり、データ信号線22上の絵素データが絵素容量CPに電荷として送り込まれる。そして、スイッチ素子21がOFFに戻った後も、絵素容量CPに蓄積された電荷により液晶に電界が印加されて表示が維持されることになる。

【0003】

【発明が解決しようとする課題】 ところが、上記絵素容量CPは、実際には、図9に示すように、比較的抵抗値の小さいリーク抵抗Rが存在するので、蓄積された電荷がこのリーク抵抗Rを介してリーク電流により漏れ出すことになる。従って、図10に示すように、スイッチ素子21がONとなる書き込み期間中に絵素データに応じ

た電荷が絵素容量CPに蓄積されると、次の書き込み期間までのデータ保持期間中に、このリーク電流によって電荷が徐々に失われ絵素容量CPの電圧が減衰する。そして、このようにデータ保持期間中に絵素容量CPの電圧が減衰すると、画面が視覚的にチラツキを生じフリッカとなって表示品位を低下させるという問題が発生する。

【0004】 また、上記問題を解消するには、各絵素に

図11に示すようなサンプルホールド回路を設ける方法が考えられる。即ち、スイッチ素子21がONになると、まず絵素データが保持用容量CHに供給され(サンプリング)、スイッチ素子21がOFFになるとことによりこの絵素データによる電荷が保持用容量CHに保持される(ホールド)。そして、トランジスタ25がこの保持用容量CHの電圧に応じて電源線26から絵素容量CPに電荷を供給する。ここで、保持用容量CHは、単なる容量素子であるためリーク電流の少ないものを用いることができる。また、トランジスタ25は、保持用容量CHの電圧を入力とし絵素容量CPを負荷とするNチャンネルMOS・FETの電圧ホロワ回路によりバッファアンプ回路を構成するので、保持用容量CHの電荷を消費することなく、この保持用容量CHの電圧に応じた正電荷を絵素容量CPに供給することができる(絵素容量CPが保持用容量CHの電圧よりトランジスタ25のしきい値電圧だけ低い電圧になるまで充電を行う)。従って、図11に示す絵素では、供給された絵素データを保持用容量CHで確実に保持し、スイッチ素子21によってこれに基づく電荷を絵素容量CPに供給し続けることができる、データ保持期間中に絵素容量CPの電圧が減衰して表示品位を低下させるようなことがなくなる。

【0005】 しかしながら、この図11に示すような回路構成では、トランジスタ25によるバッファアンプ回路が絵素容量CPに正電荷を供給するだけの一方向の動作しかできないため、先の絵素データよりも電荷量の少ない絵素データが供給された場合に、絵素容量CPが先の電荷をそのまま保持し続けるという不都合を生じる。また、液晶表示装置では、液晶の劣化防止のために、絵素容量CPに印加する電荷の極性を交互に切り換える交流駆動を行うが、このような一方向のトランジスタ25では負電荷を供給することができず、実用的な液晶表示装置を得ることができないという問題もある。

【0006】 本発明は、上記事情に鑑み、データ保持期間中の絵素容量のリーク電流を補うことにより明瞭な表示を維持し交流駆動等も可能となり、しかも液晶の応答性の劣化を防止する実用的な液晶表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明の表示装置は、複数の絵素を備え、各絵素に供給された絵素データに応じて絵素容量に電荷が蓄積されることにより表示が行われ

る液晶表示装置において、各絵素が、該絵素データを保持するための保持用容量と、該保持用容量の電圧に応じて該絵素容量に電荷を供給するバッファアンプ回路と、応答性回復信号によって繰り返し正負の電圧を該絵素容量に印加する応答性回復回路とを備えており、そのことによって、上記目的が達成される。

【0008】本発明の表示装置は、複数の絵素を備え、各絵素に供給された絵素データに応じて絵素容量に電荷が蓄積されることにより表示が行われる液晶表示装置において、各絵素が、該絵素データを保持するための第1保持用容量と、表示切換信号によってON/OFFを制御される表示切換回路を介して該第1保持用容量からの電荷の供給を受ける第2保持用容量と、該第2保持用容量の電圧に応じて該絵素容量に電荷を供給するバッファアンプ回路と、応答性回復信号によって繰り返し正負の電圧を該絵素容量に印加する応答性回復回路とを備えており、そのことによって、上記目的が達成される。

【0009】

【作用】請求項1の発明によれば、各絵素に供給された絵素データは、一旦保持用容量に保持される。保持用容量は、単なる容量素子であるため、表示用の絵素容量と異なり、リーク電流の極めて小さいものを用いることができる。そして、バッファアンプ回路がこの絵素データを保持した保持用容量の電圧に応じた電荷を絵素容量に供給する。バッファアンプ回路は、入力インピーダンスが大きく出力インピーダンスが小さいアンプ回路であるため、保持用容量に蓄積された電荷をほとんど消費することなく、この保持用容量の電圧に応じて絵素容量に電荷を供給し続けることができる。従って、各絵素は、供給された絵素データを保持用容量で確実に保持して、絵素容量に蓄積された電荷がリーク電流によって失われるのをバッファアンプ回路により補うことができるので、明瞭な表示を長時間維持することができるようになる。

【0010】ここで、通常の液晶表示装置に用いられる液晶分子は、図6に示すように、水平方向のダイポールが垂直方向のダイポールよりも大きい特性を示す。そして、図7に示す水平方向のダイポール値が垂直方向のダイポール値と等しくなる周波数をカットオフ周波数として、このカットオフ周波数よりも高い周波数の交流を液晶に印加すると、液晶の回復特性、即ち応答特性が向上する。なお、このカットオフ周波数は、現在普及している液晶材料では数GHzのものが多いが、数百kHz～数MHz程度のものを選択することは可能である。

【0011】そこで、応答性回復信号を応答性回復回路に送ることにより、カットオフ周波数以上の速さで繰り返し正負の電圧を絵素容量に印加すれば、液晶の応答性を回復させることができる。また、応答性回復回路が最後に常に正又は負の電圧を絵素容量に印加するようすれば、この絵素容量を一定の電圧にプリチャージ又はディスチャージすることができる。このため、保持用容量

に新たな絵素データが蓄積された場合に、この応答性回復回路による電圧の印加を行えば、絵素容量は、応答性が回復するだけでなく、新たな絵素データに応じた電荷を絵素容量に改めて確実に供給することができるようになる。

【0012】この結果、請求項1の発明によれば、絵素データを確実に保持してそれぞれ明瞭な表示を長時間維持することができるようになる。

【0013】ただし、上記請求項1の発明の場合には、10 絵素に供給された絵素データを保持用容量に蓄積するための書き込み期間が長い場合には、絵素容量に蓄積される電荷の速やかな切り換えを行うことができなくなる。

【0014】しかしながら、請求項2の発明では、各絵素に供給された絵素データは、まず第1保持用容量に保持される。そして、表示切換信号をアクティブにして表示切換回路をONにすると、この絵素データを保持した第1保持用容量から第2保持用容量に電荷が供給され、この第2保持用容量の電圧に応じてバッファアンプ回路が絵素容量に電荷を供給する。従って、供給された絵素20 データを第1保持用容量に蓄積している間の書き込み期間には、バッファアンプ回路によって第2保持用容量の電圧に応じた絵素容量への電荷の供給が維持されるので、この間に前回の絵素データに基づいた表示を続けることができる。

【0015】この結果、請求項2の発明によれば、絵素データを第1保持用容量に蓄積するための書き込み期間が長い場合にも、この書き込み期間には前回の絵素データに基づく表示を維持することができ、絵素容量の表示の切換を表示切換信号によって迅速に行うことができるようになる。

【0016】なお、この請求項2の発明の場合には、第1保持用容量と第2保持用容量との間で電荷の配分が生じるため、絵素データが蓄積された第1保持用容量の電圧が劣化する。ただし、この電圧の劣化を小さくするには、第1保持用容量の容量に対して第2保持用容量の容量を十分に小さくしておけばよい。また、この第1保持用容量と第2保持用容量との間にも別のバッファアンプ回路を配置して、第1保持用容量の電荷を消費することなく、この第1保持用容量の電圧に応じた電荷を第2保持用容量に供給するようにしてもよい。

【0017】

【実施例】以下、図面を参照しながら、本発明の実施例を詳述する。

【0018】図1及び図2は本発明の一実施例を示すものであって、図1は絵素の構成を示す回路ブロック図、図2は絵素容量に印加される電圧のタイムチャートである。

【0019】本実施例の、アクティブマトリクス駆動方式の液晶表示装置について説明する。

【0020】本実施例の液晶表示装置の各絵素は、図1

に示すように、サンプルホールド回路を備えている。即ち、各絵素は、基板上に形成された容量素子としての保持用容量CHと、液晶を介して設けられた表示素子としての絵素容量CPを備えている。保持用容量CHの一方の電極には、スイッチ素子1を介してデータ信号が入力されるようになっている。また、この保持用容量CHの一方の電極は、バッファアンプ回路2の入力に接続されている。スイッチ素子1は、走査信号によってON/OFFを制御される回路素子である。バッファアンプ回路2の出力は、絵素容量CPの一方の電極に接続されている。また、この絵素容量CPの一方の電極は、スイッチ素子3を介して接地電源線4に接続されると共に、スイッチ素子5は、応答性回復信号によってON/OFFを制御される回路素子であるが、例えばこの応答性回復信号がHレベルの場合には、スイッチ素子3がON、スイッチ素子5がOFFとなり、応答性回復回路がLレベルの場合には、スイッチ素子3がOFF、スイッチ素子5がONとなる。保持用容量CHと絵素容量CPの他方の電極は、コモン電源線13に接続されている。

【0021】上記バッファアンプ回路2は、高電圧電源線7と上記接地電源線4を電源として動作し、入力インピーダンスが大きく出力インピーダンスが小さいアンプ回路である。また、高電圧電源線7の電位をVEEとし接地電源線4の電位をGNDとすると、コモン電源線13の電位VCOMは、これらVEEとGNDとのほぼ中央の値となるように設定されている。従って、このバッファアンプ回路2は、絵素容量CPの電圧が保持用容量CHの電圧に応じた値となるように高電圧電源線7から電流を供給してこの絵素容量CPの充電を行うことになる。なお、上記回復電源線6の電位VRは、電位VEEと同じか、又は、それ以下であって電位VCDMよりも十分高い電位に設定されている。

【0022】上記構成の各絵素は、各フィールドの最初にカットオフ周波数以上の速さでHレベルとLレベルが切り換わる応答性回復信号が送り込まれる。すると、スイッチ素子3、5が交互にON/OFFを繰り返すので、絵素容量CPには、図2に示すように、回復電源線6からの電位VRと接地電源線4からの電位GNDが交互に印加される。従って、この絵素容量CPによって電界を印加される液晶は、応答性を回復することができる。また、この応答性回復信号の最後は必ずHレベルとなるので、絵素容量CPは、スイッチ素子3を介して接地電源線4によりディスチャージされる。

【0023】本実施例では、フィールドごとにデータ信号の極性を切り換えるようにしているので、上記のようにして絵素容量CPのディスチャージが完了すると、まず例えば図2に示すように負極性のフィールドの表示を行う。この負極性のフィールドでは、走査信号がアクティブとなることによりスイッチ素子1がONとなり、電

位VCOMに対して負極性となるデータ信号が保持用容量CHに供給され（サンプリング）、スイッチ素子1がOFFに戻ることにより保持用容量CHがこれを保持する（ホールド）。従って、これらスイッチ素子1、保持用容量CH及びバッファアンプ回路2がサンプルホールド回路を構成することになる。この保持用容量CHは、容量素子として形成されたものであるため、ほとんどリーク電流は発生しない。また、絵素容量CPはディスチャージが行われているので、バッファアンプ回路2がこの

10 保持用容量CHの負の電圧に応じた電圧となるまで高電圧電源線6から絵素容量CPに電流を供給し充電を行う。この際、データ信号は、常にVEEレベルとGNDレベルの間の電圧レベルとなるので、一旦GNDレベルまで引き下げられた絵素容量CPの電圧は確実にこのデータ信号の電圧レベルに応じた値まで充電される。このようにして負極性のフィールドでの表示が終わると、再び応答性回復信号が送り込まれ、液晶の応答性を回復させると共に、絵素容量CPのディスチャージする。そして、絵素容量CPのディスチャージが完了すると、今度20 は正極性のフィールドの表示を行う。この正極性のフィールドでも、走査信号がアクティブとなることによりスイッチ素子1がONとなり、電位VCOMに対して正極性となるデータ信号が保持用容量CHに供給され、以下負極性のフィールドの場合と同様に正フィールドの表示が行われる。

【0024】この結果、各絵素は、スイッチ素子1を介して供給されたデータ信号を保持用容量CHで確実に保持しているので、絵素容量CPの電圧がリーク電流により減衰しようとした場合に、バッファアンプ回路2がこれを補うことができ、明瞭な表示をフィールド期間の間維持することができるようになる。また、液晶は、フィールドごとに応答性の回復措置が実行されるので、応答性の劣化による表示品位の低下を防止できる。さらに、この液晶の応答性の回復措置と共に、絵素容量CPがディスチャージされるので、新たなデータ信号の供給を受けた場合には、バッファアンプ回路2が高電圧電源線7からの電流を供給する一方の動作のみによって絵素容量CPの電圧を新たなデータ信号に応じた値まで確実に充電することができる。

30 【0025】図3は本発明の他の実施例を示すものであって、絵素の構成を示す回路ブロック図である。

【0026】本実施例は、上記図1に示した第1実施例の絵素のサンプルホールド回路をマスタースレーブ方式とした場合を示す。

【0027】ここでは、図1に示した第1実施例のサンプルホールド回路に代えて、それぞれスイッチ素子1、第1保持用容量CH1及びバッファアンプ回路2とスイッチ素子8、第2保持用容量CH2及びバッファアンプ回路9からなる2組のサンプルホールド回路を用いている。

即ち、データ信号は、スイッチ素子1を介して第1保持

用容量CH1に供給され、この第1保持用容量CH1の電圧に応じたバッファアンプ回路2の出力は、スイッチ素子8を介して第2保持用容量CH2に供給されるようになっている。そして、この第2保持用容量CH2の電圧に応じたバッファアンプ回路9の出力が絵素容量CPに供給される。スイッチ素子1は、第1走査信号によってON/OFFを制御され、スイッチ素子8は、第2走査信号によってON/OFFを制御される。絵素容量CPの一方の電極がスイッチ素子3、5を介してそれぞれ接地電源線4と回復電源線6に接続される点は、第1実施例と同じである。

【0028】上記図1に示した第1実施例の場合には、スイッチ素子1がONとなっている間の書き込み期間が長い場合には、絵素容量CPに電荷の速やかな切り換えを行うことができなくなる。しかしながら、本実施例によれば、各絵素に供給されたデータ信号は、まず第1走査信号がアクティブとなることにより第1保持用容量CH1に保持される。そして、この第1走査信号が非アクティブとなってから第2走査信号がアクティブになると、バッファアンプ回路2がスイッチ素子8を介して第2保持用容量CH2の充電を行い、これに応じて絵素容量CPがバッファアンプ回路9により充電されることになる。従って、第1走査信号がアクティブとなりスイッチ素子1がONとなっている書き込み期間中は、絵素容量CPの電圧が第2保持用容量CH2によって維持されるので、この間に前回のデータ信号に基づいた表示を続けることができる。

【0029】この結果、本実施例によれば、データ信号を絵素に供給するための書き込み時間が長い場合にも、この書き込み期間には前回のデータ信号に基づく表示を維持することができ、絵素容量CPの電荷の切り換えを第2走査信号のタイミングで短時間に行うことができるようになる。

【0030】図4は本発明のさらに他の実施例を示すものであって、絵素の構成を示す回路ブロック図である。

【0031】本実施例は、上記図3に示した第2実施例に消費電力を低減化する回路を追加したものである。即ち、バッファアンプ回路9の電源と接地電源線4及び高電圧電源線7との間にそれぞれパワーセーブ信号によってON/OFFを制御されるスイッチ素子10、11を挿入している。

【0032】上記図1や図3に示した実施例では、応答性回復措置によりスイッチ素子3、5を交互にON/OFFさせると、バッファアンプ回路2又はバッファアンプ回路9に不要な貫通電流が流れることになる。しかしながら、本実施例の場合には、応答性回復措置の実行時にパワーセーブ信号をアクティブとすることにより、バッファアンプ回路9を電源から切り離すことができ、絵素での消費電力を低減することができるようになる。

【0033】図5は本発明のさらに他の実施例を示すも

のであって、絵素の構成を示す回路図である。

【0034】本実施例は、トランジスタを全てNチャネルMOS-FETで構成した点に特徴を有する。従って、応答性回復信号も、絵素容量CPの放電用の第1応答性回復信号と充電用の第2応答性回復信号に分けて、これらを交互にアクティブとするようしている。第1応答性回復信号がアクティブになると、スイッチ素子3を介して絵素容量CPの一方の電極が接地電源線4に接続されると共に、バッファアンプ回路9を構成するNチャネルMOS-FETのゲート端子もスイッチ素子12を介して接地電源線4に接続されることになり、このバッファアンプ回路9に不要な貫通電流が流れるのを防止することができる。また、第2応答性回復信号がアクティブになると、スイッチ素子5を介してバッファアンプ回路9を構成するNチャネルMOS-FETのゲート端子が高電圧電源線7に接続されるので、このバッファアンプ回路9によって絵素容量CPが充電される。

【0035】上記のように全てのトランジスタをNチャネルMOS-FETで構成すると、シリコン半導体基板上にPチャネルのためのウエルを形成する必要がなくなるので、回路パターン面積を小さくすることができる。

【0036】また、本実施例は、第1保持用容量CH1を第1保持用容量CH11と第1保持用容量CH12に分割して、供給されるデータ信号を極性ごとにこれらに振り分けて保持させるようしている。また、これら第1保持用容量CH11及び第1保持用容量CH12と第2保持用容量CH2との間のバッファアンプ回路2を省略して、回路の簡素化を図っている。ただし、このようにバッファアンプ回路2を省略すると、第1保持用容量CH11と第1保持用容量CH12の電荷は第2保持用容量CH2に分配されることになるので、電圧劣化による影響を避けるためには、第1保持用容量CH11と第1保持用容量CH12の容量に比べ第2保持用容量CH2の容量を十分に小さくしておく必要がある。

【0037】尚、本発明が適用できる表示材料は液晶に限られず、液晶のような特性を持つ材料であればよい。

【0038】

【発明の効果】以上の中説明から明らかなように、本発明の表示装置によれば、保持用容量とバッファアンプ回路を用いて絵素容量のリーク電流を補い明瞭な表示を長時間維持すると共に液晶の応答性の劣化を防止する実用的な回路を提供することができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すものであって、絵素の構成を示す回路ブロック図である。

【図2】本発明の一実施例を示すものであって、絵素容量に印加される電圧のタイムチャートである。

【図3】本発明の他の実施例を示すものであって、絵素の構成を示す回路ブロック図である。

10

【図4】本発明のさらに他の実施例を示すものであって、絵素の構成を示す回路ブロック図である。

【図5】本発明のさらに他の実施例を示すものであって、絵素の構成を示す回路図である。

【図6】液晶分子のダイポールを示す図である。

【図7】液晶のダイポールの周波数特性を示す図である。

【図8】従来例を示すものであって、絵素の回路図である。

【図9】従来例を示すものであって、絵素容量の等価回路図である。

【図10】従来例を示すものであって、絵素容量の電圧

を示すタイムチャートである。

【図11】サンプルホールド回路を設けた絵素の回路図である。

【符号の説明】

2 バッファアンプ回路

3 スイッチ素子

4 接地電源線

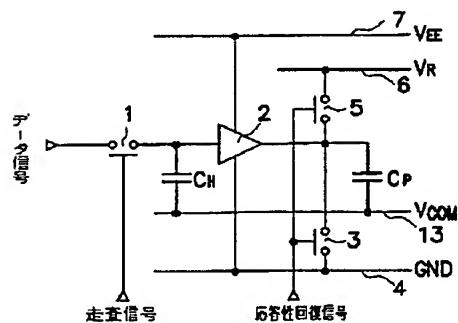
5 スイッチ素子

6 回復電源線

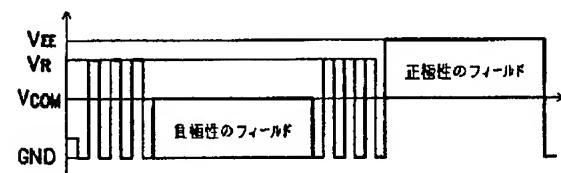
10 CH 保持用容量

CP 絵素容量

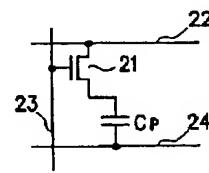
【図1】



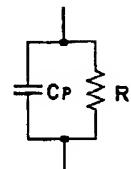
【図2】



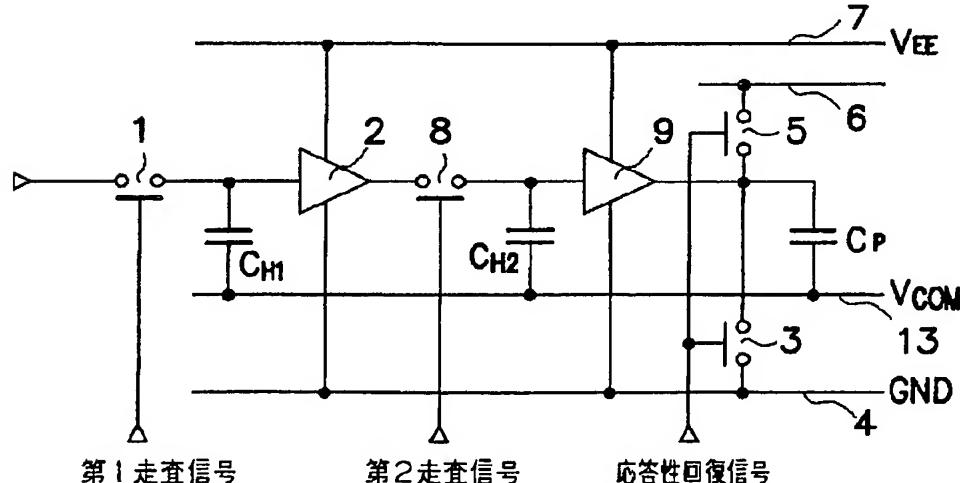
【図8】



【図9】



【図3】



第1走査信号

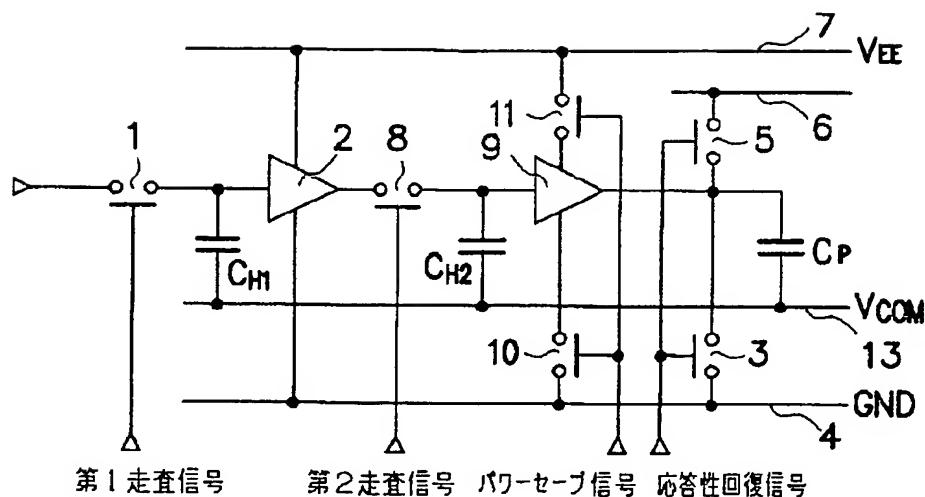
第2走査信号

応答性回復信号

【図6】

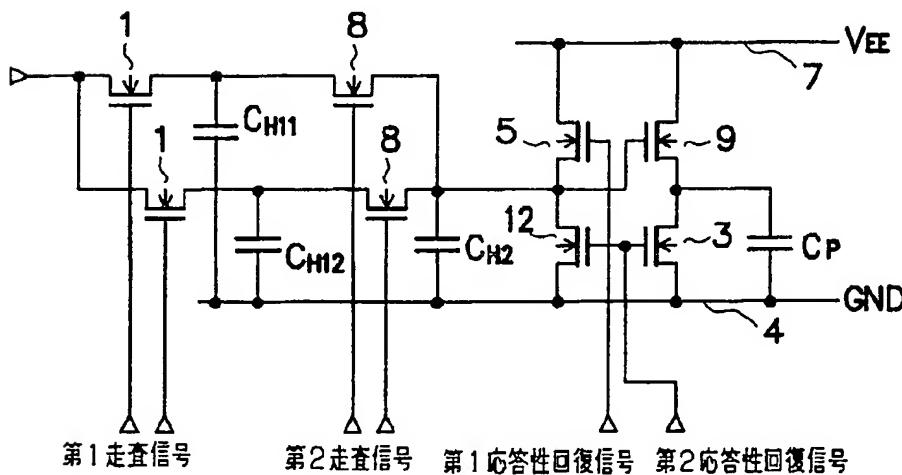


【図4】



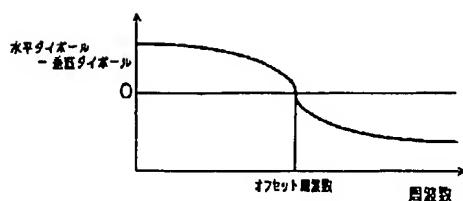
第1走査信号 第2走査信号 パワーセーブ信号 応答性回復信号

【図5】

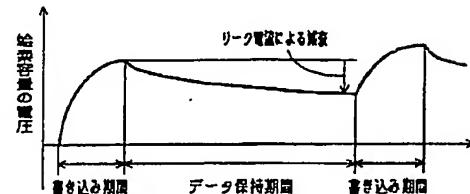


第1走査信号 第2走査信号 第1応答性回復信号 第2応答性回復信号

【図7】



【図10】



【図11】

